



Casa abierta al tiempo

UNIVERSIDAD AUTONOMA METROPOLITANA

PROGRAMA DE ESTUDIOS

UNIDAD	IZTAPALAPA	DIVISION	CIENCIAS BASICAS E INGENIERIA	1 / 4
NOMBRE DEL PLAN LICENCIATURA EN COMPUTACION				
CLAVE	UNIDAD DE ENSEÑANZA-APRENDIZAJE		CRED.	8
2151115	ARQUITECTURA DE COMPUTADORAS		TIPO	OBL.
H.TEOR. 4.0	SERIACION		TRIM. VI	
H.PRAC.' 0.0	2151105			

OBJETIVO(S) :

Al final de la UEA el alumno será capaz de:

- Describir el funcionamiento de la interfaz software-máquina, con el fin de explicar cómo repercuten en las capas más altas de un sistema de información las características del hardware.
- Utilizar el lenguaje que le permita relacionarse con proveedores y desarrolladores de hardware.

Objetivos Específicos:

Al final de la UEA el alumno será capaz de:

- Describir los elementos básicos de hardware utilizados para la implementación de funciones lógicas y máquinas de estado.
- Describir cómo representa la computadora los distintos tipos de datos para su procesamiento y las limitaciones que esto conlleva.
- Describir el funcionamiento de distintos procesadores, los modelos en que se basan y su relación con la aplicación.

CONTENIDO SINTETICO:

1. Elementos básicos de diseño lógico (2 semanas).
 - 1.1. Codificación eléctrica de valores lógicos.
 - 1.1.1. Utilización de valores eléctricos como el voltaje o la corriente para representar valores discretos.
 - 1.1.2. Manejo de umbrales y su relación con la inmunidad al ruido.
 - 1.2. Compuertas lógicas (and, or, not, xor).
 - 1.3. Circuitos combinatorios básicos.
 - 1.3.1. Sumadores.



UNIVERSIDAD AUTONOMA METROPOLITANA

ADECUACION
PRESENTADA AL COLEGIO ACADEMICO
EN SU SESION NUM. 383

[Handwritten Signature]
EL SECRETARIO DEL COLEGIO

- 1.3.2. Codificadores.
- 1.3.3. Descodificadores.
- 1.3.4. Selectores.
- 1.3.5. Buffers de tercer estado.
- 1.3.6. Multiplexores.
- 1.4. Dispositivos secuenciales básicos.
 - 1.4.1. Flip-Flop.
 - 1.4.2. Latch.
 - 1.4.3. Concepto de máquina de estado.
- 1.5. Memorias.
 - 1.5.1. Definición.
 - 1.5.2. Tipos de acceso, secuencial, aleatorio y aleatorio por bloque.
 - 1.5.3. Tiempo de acceso.
 - 1.5.4. De acceso secuencial.
 - 1.5.5. De acceso aleatorio.
 - 1.5.5.1. Volátil.
 - 1.5.5.2. No volátil.
 - 1.5.6. Secuencial.
 - 1.5.7. Aleatorio por bloque.
2. Representación interna de los datos. En el contexto de su importancia en la construcción de sistemas heterogéneos como el Internet (1 semana).
 - 2.1. Byte, nibble.
 - 2.2. Enteros y su representación, complemento a 2 y BCD.
 - 2.3. Flotantes.
 - 2.3.1. Estándares ANSI.
 - 2.3.2. Usos y limitaciones.
 - 2.4. Arreglos y su almacenamiento secuencial en la memoria.
 - 2.5. Alineación y endianness.
3. Concepto de arquitectura de computadoras (2 semanas).
 - 3.1. Modelo de Von Neumann (completo y reducido) y modelo Harvard.
 - 3.1.1. Los registros y su interconexión.
 - 3.2. Los componentes de un procesador.
 - 3.3. Arquitectura de propósito general basada en acumulador con tres buses independientes.
 - 3.4. Fases en la ejecución de una instrucción.
4. El procesador y su relación con los periféricos elementales (1 semana).
 - 4.1. Concepto de periférico.
 - 4.2. Periféricos elementales.
 - 4.3. Sistema mínimo.
 - 4.4. Revisar alguna configuración mínima.



UNIVERSIDAD AUTONOMA METROPOLITANA

ADECUACION
PRESENTADA AL COLEGIO ACADEMICO
EN SU SESION NUM. 383

[Handwritten Signature]
EL SECRETARIO DEL COLEGIO

